

RECONSTITUTABLE APPLICATION-SPECIFIC DEVICE

Publication number: JP8101761 (A)

Publication date: 1996-04-16

Inventor(s): KENESU OOSUCHIN

Applicant(s): PILKINGTON GERMANY NO 2 LTD [GB]

Classification:

- international: G06F7/00; G06F9/22; H03K19/177; G06F7/00; G06F9/22; H03K19/177; (IPC1-7): G06F7/00; G06F9/22; H03K19/177

- European: G06F15/78B; H03K19/177B

Application number: JP19950029912 19950217

Priority number(s): GB19940003030 19940217

Priority number(s): 6515840000000 10048217

Abstract of ST 310701 (A)

device so that several constitutions can be switched quickly to each other by forming a plurality of cells in an area so that each cell can have one function and interconnections with some other cells and some of the cells can have interconnections which can be selected electrically with respect to their conducting states. CONSTITUTION: Each a certain cell is programmed so as to execute a certain range of functions and a plurality of certain core cells is optimized so as to improve specific functions. Therefore, the certain core cells are optimized for the function 2a of an ALU, a plurality of registers 2b, a plurality of memory cells 2c, a plurality of registers 2d, an instruction decoder 2e, and an input-output 2f. In addition, each core cell incorporates a logic cell 2h having a selectable function (for example, 4): For example, eight programmable core cell inputs (namely, electrically selectable interconnections) are indicated by the quotation number 25 in the figure and two 4:1 input multiplexers are applied.

Also published as



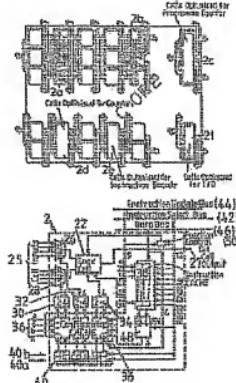
GB2286737 (A)



CA2142407 (A1)



[more >>](#)



Data supplied from the esp@cenet database — Worldwide

(51) Int.Cl. ⁴	識別記号	序内整理番号	F I	技術表示箇所
G 06 F 7/00				
9/22	3 3 0 D	7230-5B		
H 03 K 19/177		9199-5K		
		8323-5E	G 06 F 7/00	S

審査請求 未請求 請求項の数21 O L (全14頁)

(21)出願番号 特願平7-29912
 (22)出願日 平成7年(1995)2月17日
 (31)優先権主張番号 9 4 0 3 0 3 0. 1
 (32)優先日 1994年2月17日
 (33)優先権主張国 イギリス(GB)

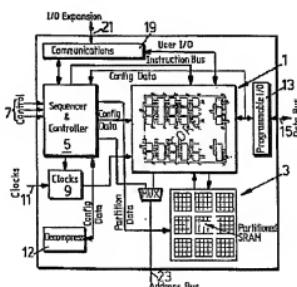
(71)出願人 595024881
 ピルキンソン ジャーマニー (ナンバー
 2) リミテッド
 PILKINGTON GERMANY
 (NO. 2) LIMITED
 イギリス国、ダブリューエイ10 3ティー
 ティー、マージーサイド、セントヘレン
 ズ、プレスコット ロード (番地なし)
 (72)発明者 ケネス オースチン
 イギリス国、シーダブリュー9 8エイエ
 ル、チェシャー、ノースウィッチ、ブロッ
 クハースト ホール、ブロックハースト
 ホール (番地なし)
 (74)代理人 弁理士 浜田 治雄 (外1名)

(54)【発明の名称】 再構成可能な応用特定装置

(57)【要約】 (修正有)

【目的】 複数個の構成の間で迅速に切り替えできる再構成可能なアーキテクチャを提供する。

【構成】 再構成可能な半導体集積回路であって、領域1が、複数のセルによって形成され、各々のセルは、少なくともいくつかの他のセルとの相互接続を有している。複数のセルは、電気的に選択可能な相互接続を有しており、またいくつかの複数のセルはプリワイヤードである相互接続を有している。各々のセルは、2以上の可能な構成を有し、それぞれの構成は、セル構成データによる他のセルとの相互接続によって定義され、更に、少なくとも2つのセル構成に関する構成データを記憶する手段と、選択されるセル構成データにより、可能なセル構成中の1つを可能とする手段とからなる。



【特許請求の範囲】

【請求項1】 優域(1)に複数のセル(2)が形成され、各セルは、少なくとも1つの機能及び少なくともいくつかの他の前記セル(2)との配線を有する構成可能な半導体集積回路において、少なくともいくつかの複数のセル(2)は、それらの導電状態に関して電気的に選択可能な配線(25)を有し、かつ、少なくともいくつかの複数のセル(2)は、ブリッジワードである配線(YA-YD)を有し、各セルは、2以上の可能な構成を有し、各構成は、セル機能及び/又はセル構成による他のセルとの配線によって記述され、更に、少なくとも2つのセル構成の構成データをセル毎に記憶する手段(36、38、40)と、選択されたセル構成データにより、可能なセル構成の1つを可能とするための手段(30、32、34、42、44)とからなることを特徴とする構成可能な半導体集積回路。

【請求項2】 少なくとも2つのセル構成を記憶する手段(36、38、40)は、セル中に存在する請求項1記載の構成可能な半導体集積回路。

【請求項3】 必要なセル構成を選択する手段は、前記構成データ記憶部に通じる命令バス(42)からなる請求項1又は2記載の集積回路。

【請求項4】 少なくとも2つのセル構成の中の1つは、集積回路が選択された際に応用特定機能を有するよう、ブリッジワード(40a、40b)される請求項1又は2記載の集積回路。

【請求項5】 少なくとも1つのプログラマブルセル構成を有する請求項1記載の集積回路。

【請求項6】 更に、書き込み可能バス(44)と、データバス(46)とからなり、データバス(46)は、再プログラムの目的のため、記憶部にデータを書き込む目的のためのセル構成データを記憶する手段(36、38)に接続される構成からなる請求項6又は7記載の集積回路。

【請求項7】 更に、複数の構成選択命令を記憶する手段と、前記手段に通じる命令選択バスと、実施される必要な構成データ記憶部を選択又は直接にセル構成を有効にする出力信号バスとからなり、更に、命令書き込みバス(44)と、命令記憶手段(36、38)に書き込むための命令データバス(46)とからなる請求項1記載の集積回路。

【請求項8】 ラッチ手段(54)は、構成間の出力を保持するために設けられる請求項1記載の集積回路。

【請求項9】 セルは、第1機能のために最適化される請求項1記載の集積回路。

【請求項10】 集積回路は、異なる第1機能のために最適化されたセルからなる請求項1記載の集積回路。

【請求項11】 集積回路は、構成間で切り替えが行われる際の過渡電流を減少するための手段(60)を含む請求項1から10のいずれかに記載の集積回路。

【請求項12】 更に、有効性及び構成の選択を制御するためのシーケンサ手段(5)からなる請求項1記載の集積回路。

【請求項13】 集積回路は、各セル(2)において、デコード手段(30、32、34、48)を備え、構成状態を解説して各セルの構成を制御する請求項1から12のいずれかに記載の集積回路。

【請求項14】 構成データ記憶部は、第1又はセルの応用特定機能に対応し、かつ、不揮発メモリにおける装置中に含まれる請求項4、9又は10記載の集積回路。

【請求項15】 複数の(埋め込み)ブリッジワード配線資源は、第1(応用特定)機能の十分な実施のために最適化された複数のセルを配線する請求項9又は10記載の集積回路。

【請求項16】 複数の最下位ビットを総計する第1多重ビット加算器ブロック(64)と、複数の最高位ビットを加算しつつ総計選択手段を有する少なくとも1つの更なる多重ビット加算器ブロック(64)とからなり、前記異なる多重ビット加算器ブロックは、それぞれ0及び1と等しい前のブロックからのキャリヤーアウトから生じる2つの可能な総計を計算し、かつ、総計選択手段は、前のブロックから計算されたキャリヤーアウトにより、更なる多重ビット加算器ブロックの総計を選択することをからなる構成可能な少なくとも2つの多重ビットワードを総計する多重ビット加算器。

【請求項17】 少なくとも2つの構成可能性を備えた複数のセルを有する構成可能な半導体集積回路を構成する方法であって、シーケンサ(5)は、データによってプログラムされて要求されるセル構成の選択を容易にすることからなる構成可能な半導体集積回路を構成する方法。

【請求項18】 更に、セル構成データを入力しつつ記憶する構成からなる請求項17記載の方法。

【請求項19】 更に、データによってシーケンサをプログラムして、回路の動作中における所定のポイントで予め記憶された構成データ上に書き込むことからなる請求項17又は18記載の方法。

【請求項20】 構成可能な半導体集積回路において、回路構成は、装置の動作中において、複数の構成の予めプログラムされたシーケンスにより変更されることを特徴とする構成可能な半導体集積回路。

【請求項21】 優域は、複数のセルが形成され、各セルは、2以上の可能な構成を有し、各構成は、セル機能及び/又は構成データにより他のセルとのその配線によって選択されることからなる請求項20記載の集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、構成可能な集積回路に関するものである。

【発明の効果】 本発明は、構成可能な集積回路において、構成間の切り替えが行われる際の過渡電流を減少するための手段を備えたものである。

【発明の詳細な説明】 本発明は、構成可能な集積回路において、構成間の切り替えが行われる際の過渡電流を減少するための手段を備えたものである。

用特定位装置に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】マイクロプロセッサは、それらの低コスト及び高性能のため、多くのアプリケーションに適応するように設計される。しかし、多くのアプリケーション、例えば、画像圧縮及びデジタル信号処理を行うには、それらは適さない。基本マイクロプロセッサーアーキテクチャーの設計変更是、いくつかの新たな装置、デジタル信号処理装置(digital signal processor: DSP)、縮小命令セットコンピュータ(reduced instruction set computers: RISC)及びカスタムプロセッサ(custom processors: CP)を盛り込むことにつながった。これらの装置の各々は、規定された数の仕事を非常に高速に実行するように最適化される。多くのアプリケーションは、必要なレベルの性能を達成するため、このような装置のいくつかのタイプを必要とする。なぜなら、ある期間にわたり、異なるタイプの計算業務を実行する必要があるため又は各装置の能力が限られているためである。本質的に、これらの装置は、低価格高性能数値装置であって、各々は、一般クラスのアルゴリズムを実行するように最適化される。しかし、設計者は、新たなアルゴリズムを効率的に実行するため、しばしば異なるアーキテクチャーを必要とし、そして、このような状況における通常の業務は、この仕事のためのカスタムプロセッサをデザインすることである。これは、長くかつ高価な設計サイクルという結果につながると共に設計者が柔軟にアルゴリズムを変更することを不可能にする。

【0003】フィールドプログラマブルゲートアレイ(Field Programmable Gate Arrays)は、標準の製品に代えて一般的に用いられ、それらは、数値装置として使用される。しかし、それらは、一般的な目的の装置であって、高速回路の役目を効果的に果たすことができないものである。一般的に要求される複雑なレベルを達成するために、いくつかのFPGAsが必要であるが、それは最終的なシステムの価格を増加させる。いくつかのFPGAsは、チップ上でスタティックランダムアクセスメモリ(SRAM)を用いるために構成され、これらの装置は、再度のプログラムが可能であり、異なる仕事を行なう。このことが、より大きな柔軟性とより高い性能レベルへつながる。しかし、これらの装置は、内部資源を構成するための装置によってアクセスされる構成データの外部ソースに接続される。FPGAを構成又は再構成するための時間は、外部ソースから構成データを取り込むことが必要なため数ミリ秒であり、この時間は、数オーダーの大きさであります。1000ナノ秒未満の再構成速度が、高性能アプリケーションのために要求される。FPGAその 자체は、高性能数値装置としての使用に適する程

に十分な早さで再構成されることはできない。FPGAにおいて、相当量のシリコン領域が、相互接続資源をプログラムするために要求される構成メモリに委ねられる。一方、理論において、FPGAのものは、チップ上のメモリの量を増加することによって、付加的な構成に対応することができる。これにより、構成データの保持が可能となり、おそらくチップのサイズを60%まで増加し、従って、高密度アレイが難しくなる。

【0004】本発明の目的は、2親以上、好みくは数個の構成の間で迅速に切替可能な再構成可能なアーキテクチャを提供することにある。本発明の他の目的は、集約的なアプリケーション数の機能を実行するために特に最適化された装置を提供することにある。他の目的は、アプリケーションの支配の前に、装置を適応するアプリケーションのために構成するのに適した1以上のブートアップされた初期構成を含む装置を提供することにある。更なる目的は、(基本的な)装置の連続する構成間でデータを通過するための装置を有する装置を構成することにある。また、更なる目的は、装置の構成の間、データを安全な状態で保持し、かつ、スイッチング电流を最小にすることを保証することにある。また、更なる目的は、現在使用されていない構成メモリを更新することが可能である構成キャッシュを提供することにある。本発明の他の目的は、装置が構成データの外部ソースからそれ自身の構成を選択することを可能にすることにある。

【0005】他の目的は、論理の一部を必要な構成に予め接続することによって、プログラム可能な相互接続の数を減少することにある。

【0006】更に他の目的は、特定の基本的な機能を装置の特定の領域に予め実質的にプリワイヤードで配置することによって装置の性能を向上することにある。

【0007】

【課題を解決するための手段】したがって、本発明によれば、領域に複数のセルが形成され、各セルは、少なくとも1つの機能及び少なくともいくつかの他の前記セルとの相互接続を有し、少なくともいくつかの複数のセルは、それらの導電状態に関して電気的に選択可能な相互接続を有し、かつ、少なくともいくつかの複数のセルは、プリワイヤードされた相互接続を有し、各セルは、2以上の可能な構成を有し、各構成は、セル構成データによるセル機能及び/又はその他のセルとの相互接続によって確められ、更に、少なくとも2つのセル構成(セル毎)に関する構成データを記憶する手段と、選択されたセル構成データにより、可能なセル構成の1つを可能にする手段とからなることを特徴とする構成可能な半導体集積回路を提供する。

【0008】相互接続に関するプリワイヤードによって、導電状態に関して切断不可能なことを意味する。構成データは、セル機能及び/又は高遮蔽には複数のデコ

ダを用いる又はそれに代わりメモリにより直接制御される複数のセル相互接続の選択を制御する。それ故、例えば、セルの構成データは、セルを介しての信号経路を決定する。直接接続バスは、複数の構成記憶部と、複数のデコーダと、複数の選択可能な機能及び複数の相互接続との間に存在する。ここで用いられる機能という用語は、論理機能、算術機能又は相互接続機能である。セルは、1又はそれ以上の機能あるいはそれらの1又は2以上の組み合わせを有することができる。好適には、複数の構成データ記憶部は、セル中に配置される。所要の構成は、シーケンサ及びコントローラからの信号を受信する命令バスを用いることによって選択される。構成の中の1つ以上は、プリワイヤードであり、プログラムブルでない。好適には、構成データ記憶部の中の1つ以上は、データ転送バスを用いるためプログラムブルである。ここで、1より多くの記憶部は、プログラムブルであり、命令更新バスは、要求される構成記憶部を書き込み可能とする様に設けられる。相互接続及び/又はセル機能を制御するために現在アクセスされていない複数の構成記憶部は、命令更新バスを用いることによって更新される。

【0009】本発明は、特に、応用特定装置に関するものであって、それは、限定された数の仕事を高速に実行するようによく最適化され、更に、プログラムの実行中(要求されたとき)、いくつかの他の仕事を実行するようによく再構成可能であるため、複数のセルは、第1の構成による主要な機能のために最適化される。好適には、基本構成データは、プリワイヤードである。2つの代替的なプリワイヤードされた基本構成を有することは便利である。複数のセルは、異なる主要な機能のために最適化される。好適には、複数のプリワイヤードされた相互接続は、最適化された機能に接続して用いられる。

【0010】可能な第1機能は、加算器の主要な機能である。本発明は、少なくとも2つの多重ビットワードを総計するための多重ビット加算器を提供し、これは、複数の最下位ビットを総計するための第1多重ビット加算器ブロックと、複数の最上位ビットを総計するための少なくとも1つの異なる多重ビット加算器ブロックとからなり、かつ、総計選択手段を有している。前記異なる多重ビット加算器ブロックは、それぞれ0又は1と等しい前のブロックに基づくキャリーアインにより2つの可能な総計を計算し、総計選択手段は、前のブロックから計算されたキャリーアウトに従って異なる多重ビット加算器ブロックの総計を選択する。

【0011】デジタル信号処理装置のアプリケーションの場合、いくつかのセルは、複数の算術論理演算装置(ALU)として最適化され、一方、他の複数のセルは、例えば、命令デコード又は複数のプロセッサ/レジスタの機能を実行するようによく最適化される。異なるセルの数は、複数のセルのアレイのサイズによって限定される。

のみである。実際問題として、アレイは、それぞれの主要な機能を実施することにおいて特に効率的な個別の領域の数に合わせて分けられる。これらのセルのそれぞれは、他の機能を実行するための能力を有しており、かつ、他の複数の構成による他の複数の機能の範囲を一般に有していることは明かである。これらの付加的な機能は、正しい機能が、要求された場合に利用可能となるためのコントローラ及びシーケンサによって制御される。複数の第1機能は、一般的な相互接続資源を利用してできるが、それらは、他の複数のセルの第1機能間の高速接続ための専用資源を有していることが好適である。この方法において、装置の性能は、一般的なプログラマブル相互接続資源に依存せず、主要な機能を複数の資源をしてより小さな寄生負荷に接続されることによって、装置は、より早く動作することができる。

【0012】構成間で切り替えを行うときにデータを保暖するため、各セルは、機能制御ビットによって制御されたラッチを有している。各セルにおけるバッファの装置によって構成間を切り替える場合、過渡電流が減少される。バッファは、制御ラインによる再構成の間の状態で制御可能である。

【0013】この装置は、例えば、DSPのもののような数値装置の分野において、特定のアプリケーションを有しているが、主要な機能は、他のアプリケーションに適合するように選択されることは明かである。したがって、複数の方法がいずれのアプリケーションにも適用される。例えば、別のアプリケーションが、プログラム可能な通信装置である場合である。

【0014】本発明は、構成可能な半導体集積回路を構成する方法を提供し、シーケンスは、少なくとも2つの可能性から、要求される構成を選択することを容易にするよう、データによってプログラムされる。通常、複数のセルのそれぞれは、少なくとも2つの構成の可能性を有している。好適には、構成はプログラムブルであって、方法は更に、構成データを入力しかつ記憶することからなる。更なる有利な特徴は、回路の動作における所定のポイントで、シーケンスを予め記憶された構成データに上書きするようにプログラムするための能力である。本発明は、半導体集積回路であって、回路構成が、装置の動作中、構成の予めプログラムされたシーケンスにより変更されるものを提供する。

【0015】【実施例】本発明は応用特定装置のために意図された集積回路に関連して説明し、かつ、デジタル信号処理回路(DSP)に特に関連して例示することによって説明する。本発明によれば、装置は、固定のアーキテクチャに制限されるのではなく、ハードウェア再構成可能性を有していて、装置(例えば、DSP)がそれぞれの個々のタスクに関して最適化されることが可能である。それ故、マクロレベルにあって、装置は、新たなアプリケ

ーション、例えば、MPEG、ポリゴンエンジン (Polygon Engine)、ブリッター (Bitt er) 及び直接アドレス指定エンジン (DMA engine) 用に最適化される。一方、ミクロレベルにあって、装置は、各OPCODE、例えば、マルチALU (MULTIPLE ALU)、カスタムマルチプライ (CUSTOM MULTIPPLY) 用に最適化される。それ故、再構成可能応用特定装置 (例えば、DSP) は、多くの注文の装置を 1 つのチップに置き換えることを可能とする。最適化されたOPCODES は、性能を向上する。効果において、装置は、DSP、RISC 又カスタムプロセッサとして動作する間のクロックスピードで切り替わることができる。

【0016】第 1 図に、再構成可能な応用特定デジタル信号処理回路を示している。チップは、複数のコアセルの側面 1 と、区分されたスタティック・ランダム・アクセス・メモリ (SRAM) 3 と、複数の制御ライン 7 を有するシーケンサ及びコントローラ 5 と、複数のクロック 9 と、複数のクロックライン 1 と共に、プログラマブル入力/出力 1 3 及び結合データバス 1 5 を含む。また、図示のものは、信号圧縮デコーダ 1 7 と、通信リンク 1 9 と、結合入力/出力及び拡張ポート 2 1 と、アドレスバス 2 3 を含んでいる。

【0017】複数のコアセル 2 があり、これらは、例えば、(DSP 構成の場合) 命令デコード、レジスタ、プログラムカウント及びスタックポインタ装置を提供する。各コアセルは、ある範囲の機能を実行するようプログラムされており、ある複数のコアセルは、特定の機能を改善するよう最適化されている。したがって、例えば、図 4 は、ALU の機能 2 a、複数のレジスタ 2 b、プログラムカウンタ 2 c、泓用カウンタ 2 d、命令デコーダ 2 e 及び入力/出力 2 f に關し、ある複数のセルの最適化を示している。

【0018】点線による外形線によって表示されたコアセルの 1 つの概念的構成が、図 7 に示されると共に、コアセルは、内部に選択可能な機能 (例えば、4) を有する論理セル 2 2 を含んでいる。例えば 8 つのプログラマブルコアセル入力 (すなわち、電気的に選択可能な相互接続) が引用数字 2 5 に示され、2 つの 4 : 1 入力マルチプレクサが適用されている。セル出力は、引用数字 2 7 に示されている。論理セル構成の例を、更に図 11、図 12、図 13 及び図 14 を参照しつつ説明する。複数の入力マルチプレクサは、それぞれ複数の 2-4 デコーダ 3 0、3 2 によって制御される。2-4 デコーダ 3 4 は、論理セル 2 2 中の 1-4 マルチプレクサを制御し、出力マルチプレクサ 7 0 は、2-4 デコーダ 4 8 によって制御される。論理セルへの直接プリワイヤード接続は、引用符号 Y A-Y D によって示されている。

【0019】図 7 において示されるセルは、構成可能メモリ装置を含み、それは、構成キャッシュ 3 6 と命令キ

ャッシュ 3 8 と共に、いわゆる「ハードワイヤード」又は固定構成装置 4 0 とからなる。DSP アプリケーションに關し、固定構成は、3 × 2 ビット構成素子 4 0 a からなる第 1 DSP ブート構成と、3 × 2 ビット構成素子 4 0 b からなる第 2 構成、例えば、乗数構成とからなる。第 1 (固定) 構成は、装置のブートアップにおいて、自動的に実施されて、その第 1 応用特定機能に与えられる。

【0020】図示された実施例において、構成キャッシュ 3 6 は、4 つの 3 × 2 ビットデータ記憶部 3 6 a ~ 3 6 d からなり、それらは、命令アップデータバス 4 4 から書き込み可能であり、かつ、データバス 4 6 からデータが書き込まれる。命令キャッシュ 3 8 は、8 × 2 ビットデータ記憶部からなり、それらは、命令データバス (4 4) から書き込み可能であり、かつ、データがデータバス 4 6 から書き込まれる。命令キャッシュ 3 8 は、命令選択バス 4 2 から読み出し可能である。命令選択バス 4 2 に接続された 2-4 デコーダ 4 8 は、選択された命令キャッシュのデータ記憶部による 4 つのデータ記憶部 3 6 a ~ 3 6 d の中の 1 つを選択し、かつ、読み出し可能である。デコーダ 4 8 の出力は、また、4 : 1 出力マルチプレクサ 7 0 を制御することによって、論理セルの直接の構成を形成する。また、図示のものは、機能制御ビット 5 0 であり、読み出し及び書き込みライン (4 2, 4 4) から論理セル 2 2 への接続を有している。機能制御セル 5 0 は、ラッチ 5 4 を制御する (図 10 参照)。

【0021】図 16 は、固定構成装置 (4 0) 及び構成キャッシュ 3 6 に關し、読み出し 4 2、書き込み 4 4' 及びデータバス 4 6' の接続を示している。読み出し及び書き込み装置の両者は、構成キャッシュのみのために設けられる。

【0022】図 2 及び図 3 に戻ると、ブロック 2'、2'' 及び 2''' のそれぞれは、コア 2 の構成を示している。機能上大きなブロックは、構成の連続としてアクセスされる。それぞれの新たな構成は、複数の最後に使用するプロセス間接続 5 2 及びクリティカルデータをラッ奇するため設けられた複数のセル 5 4 からデータを受ける。他の複数のセル 5 4 は、入力又は出力であるよう構成される。再構成時間は、1 0 n s e c のオーダーのものとができる。コアアーキテクチャは、各OPCODE を実施するように最適化される。これは、各算術機能のワードサイズが必要な装置に適合されることを可能とする。それ故、図 3 において、第 1 構成 (OPCODE 1) は、1 6 ビットのかけ算及び cos 関数を実行し、第 2 コア構成 (OPCODE 2) は、3 2 × 3 2 ビットのかけ算関数を実行し、そして、第 3 構成 (OPCODE 3) は、6 4 ビットの加算関数を実行する。

【0023】図 10 は、図 7 に示されるセルのようなも

のに適用可能な出力状態制御を示し、適切に参照される対応する複数のセル構成は、命令キャッシュ38を省略して示されている。

【0024】前述したように、ある複数のセルは、クリティカルデータをラッ奇するために構成されており、それ故、複数のセルは、機能制御ビット50及びホールド入力ライン56からの入力を備えたラッ奇装置54を有している。これらは、複数の構成間のセルからデータの状態を保護するように機能する。加えて、知られる状態にその出力をセッタすることによって、構成間の切り替えを行う場合、バッファ60は、過渡電流を減少するためで設けられる。

【0025】複数のセルの相互接続資源を、図8a、図8b、図9a及び図9bを参照して説明する。図8a及び8bは、どのようにしてセルが複数の規則的なブロック(B) (例えば、複数の列及び行)に構成されることができるのかを図で示したものであり、その結果、ブロックは、異なる機能のために最適化された複数のセルを含んでいる。それ故、図8bは、複数のACCセル、ALUセル及びシフトセルの列並びにデコードセルの2つの行を示す。セルの列は、それぞれ2つのグローバル(Y)バス(Y1、Y2、Y3、Y4·····YN1、YN)を有し、そして、セルの行は、それぞれ少なくとも2つのグローバル(X)バス(X1、X2·····Xn-1、Xn)を有している。複数のデコードセルは、各ブロックの列に指向しており、かつ、3本のXバスを有している。複数のバスバッファBSは、隣接する複数のブロック間のYバスに設けられる。加えて、複数の複数の複数のYバスに直接接続されたYバスY-A-YDがある。これらは、列の下において、デコードセルから全てのセルへ走っている。加えて、複数のローカル直接接続バスは、複数のセルの間に用いられる。したがって、図8bにおいてセルSCを例として取ると、それは、上方隣接セル、下方隣接セル、右方隣接セル、左方隣接セル及び次の左方隣接セルの出力が入力される。これらの接続は、U、D、R、L、Jから構成されている。全てのセルのパリエーションは、全てのローカル接続を必ずしも有しない。これらのローカル接続の大半は、それらの導電状態に因して電気的に選択されるが、ほとんどは普通、左側に隣接する接続はプリワイヤード接続である。

【0026】図9aは、1のセルに因し、全てのセルコアに対して、どのように入力マルチブレクサ26はX及びYバスからの入力の選択を制御するのか、及びどのように出力マルチブレクサ70は、同様のXバス及びYバスの次の列への出力の選択を制御するのかを示す。

【0027】複数のセルは、 10×8 のブロックに構成されており、このような複数のセルブロックのアレイの例は、図9cに示されている。複数のブロック1000は、 8×4 のアレイに形成され、そして、プログラマブ

ル入力/出力102と、複数のデータバス及びスイッチ104と、区画SRAM106もまた示されている。各ブロックは、 10×8 セルのアレイからなり、便宜上、ブロック内部の複数のセルの列は、同様の第1構成を有している。例えば、図9dは、ブロック100を示し、これは、複数のマルチブレクサとして構成されたセル100a及び100bの2つの列と、積加算器としての列100cと、複数のバレルシフターセル100dと、複数の算術論理演算セル100eと、複数のアキュムレータセル100fと、複数のマルチブレクサ試験セル列としての100g及び100hとを有している。各ブロックにおける複数の列は、複数のデコードセルが先頭となる。

【0028】図15において、構成可能なスタティック・ランダム・アクセス・メモリ(SRAM)3は、区画データバス72に沿って、シーケンサ及びコントローラ5からそれに到達した区画データを記憶する。DSPの動作は、データの記憶及び修正を必要とし、装置上のSRAMの装備は、記憶されたデータへのアクセスが、SRAMが外部に置かれる場合より早いことを保証する。

【0029】シーケンサ及びコントローラ5は、バス4、2、4、4、4、4及び46の動作を制御する。したがって、シーケンサ及びコントローラ5は、複数のセルの個々のデータ記憶部を選択するための動作の制御を含み、その結果、データを記憶部に送り、かつ、セル中に記憶された構成データの実行シーケンスを制御する。シーケンサ及びコントローラ5に関して必要な制御命令は、メモリの外部リース(図示せず)によって設けられている。前記動作に加えて、コントローラ5は、現在使用されていない個々のデータ記憶部を選択することができ、それらは外部メモリからの複数の新たな構成によって更新される。

【0030】図11、図12及び図13は、それぞれALU、ACC及びデコードセルの様々な型を示している。適切な参照番号は前に述べる。

【0031】図13は、デコードセルのために最適化されたセルの例を示している。2つのデコードセルは、図8a及び8bに示されるように、複数のセルのブロックの先頭に設けられている。図示された変更例は、各々のセルの下方へ向かって設けられているプリワイヤード相互接続Y-A、YBを有するデコードセルである。他のデコードセルは、YC、YDプリワイヤード相互接続を構成する。それ故、図11のALUタイプのセルは、プリワイヤード接続YA、YBを有し、一方、ACCタイプセルは、プリワイヤード接続YA、YB、YC及びYDを有している。また、ALU及びACCの変形に因し、左方隣接接続Lは、プリワイヤードであり、そして、ALUセルに因し、CiとCoutは、セルの列の長さを走るプリワイヤード接続である。他のX及びYバスは、前述の通りである。

【0032】デコードの出力からの及びセル変形の入力に関する複数の制御信号は、最適化されたセルの機能に関してプリワイヤードである。すなわち、いずれの機能に関しても、それは特定アプリケーションにとって必要とされることが知られている。

【0033】図14は、いくつかの異なる機能を示し、それらは、図10及び図11のそれぞれのACC及びALUコアセルから利用することができる。

【0034】図17は、引用数字25に簡単に示されたセル入力及び引用数字27のセル出力を備えたDSPセル（簡略化されて示されている）の場合の代替的な内部セル構成を示している。メモリは、 8×3 ビットデータ記憶部からなると共に、3-8デコーダ80が設けられて、論理セルに含まれる8つの選択可能なオプション（例えば、機能及び相互接続）の中の1つが選択されることがある。特定のセル内の特定データ記憶部をアップデートするため、メモリ選択45（予め説明されたセル構成の圖から省略されている）が設けられ、それで、必要なセルが選択されることがあると共に書き込み可能及び読み出し可能となる特定のデータ記憶部が、命令アップデートバス（44）又は命令バス（42）によって、選択されることがある。データは、メモリデータバス（46）（図17において図示せず）からデータ記憶部に書き込まれる。

【0035】装置によって構成ができる新規な加算器構造を、図18～図21を参照して説明する。16ビット加算器が、図18に示されると共に概して引用数字60によって示されている。加算器は、複数のキャリー選択加算器62からなり、第1多重ビット加算器ブロック64と、第2多重ビット加算器ブロック66とを形成している。加算器60は、a1、a2、a3...、a16及びb1、b2、b3...、b16として示され、16ビットワードを総計して、s1、s2、s3...、s16及びキャリー素子「Cout」によって示される合計引き出す。

【0036】第1多重ビット加算器ブロック64は、各16ビットワードの8つの最下位ビットを総計し、そして、各ビットに関し、結合キャリー選択加算器62がある。各キャリー選択加算器は、2つの入力Anと、Bnと（「n」はビット数である）、出力68と、キャリーイン70と、キャリーアウト72と、第1及び第2マルチプレクサ74、76とから構成される。第1マルチプレクサ74への第1入力は、キャリーインが0と仮定されるAn+Bnの値と等しく、第2入力は、1とされるキャリーインと仮定される。出力s8は、キャリーイン70によって選択される。

【0037】第2マルチプレクサ76への2つの入力は、An+Bnの総計から生じるキャリーと等しく、その結果、キャリーは、0及び1と等しい。キャリーアウト72は、キャリーイン70によって選択される。明ら

かに、第1キャリー選択加算器へのキャリーインは、0と等しい。

【0038】第2多重ビット加算器ブロック66は、各16ビットワードの8つの最下位ビットを総計し、各ビットに関し、2つの結合キャリー選択加算器78、80がある。それぞれのキャリー選択加算器78、80は、前述した同様の方法で構成される。複数のキャリー選択加算器78は、2つの8ビットワード、すなわち、a9、a10...、a16及びb9、b10...、b16を総計する。ただし、ここで第1加算器ブロック64からのキャリーアウトは、1と仮定し、かつ、キャリー選択加算器80は、キャリーアウトが0であると仮定する。したがって、各ビットに関し、2つの出力は計算され、かつ、結合マルチプレクサ82に供給される。sNを提供する出力は、第1加算器ブロック64からのキャリーアウトによって選択される。

【0039】動作において、第1加算器ブロックは、8つの最下位ビットの加法を計算し、そして、キャリーアウトを出力する。同時に、第2加算器ブロックは、最高位ビットの加法の2つの可能な総計を計算し、正しい総計は、加算器ブロック64によって出力されるキャリーアウトによって選択される。結果として、16ビットの加算を行うための遅延時間は、最初の8つのビット（8ADD）と最後の8つのビット、すなわち、1つのマルチプレクサの遅延（MUX）の総計の選択における遅延との和に相当する分だけ遅延される。

【0040】各付加的な8ビット加算器ブロックに関し、遅延時間は、1つのマルチプレクサと等しい。例えば、32ビット加算器は、8ADD+3 X MUXの伝播遅延を生じる。結果として、開示された加算器構成は、従来の加算器構成と比較して、動作速度を向上させる。

【0041】図20は、代替的なセル構成を示し、2つのセルを必要とする2つのキャリー選択加算器は、1つの中構成されたセルによって置換される。

【0042】図21は、1段キャリー選択加算器に関する簡単な回路を示し、それは、図19の回路に対する代替手段として用いられる。

【0043】表裏の動作を説明するが、最初に、前述したように、構成装置40は、「ハードワイヤード」であり又はDSP構成40a及び多重構成40bが設けられている。

【0044】外部メモリ記憶部（図示せず）は、全ての必要な構成データを含み、コントローラ及びシーケンサとを制御して各セルにおける各データ記憶部（36a～36d、38）がプログラムされる。データ記憶部をプログラムするため、典型的な手順は、第1に、メモリ選択45によってセルを選択すること、命令アップデートバス44によって書き込み可能とされるデータ記憶部を選択すること、及びデータバス46を介して選択された

記憶部にデータを書き込むことである。

【0045】構成キャッシュ36の各4つのデータ記憶部は、論理セル22への入力を選択するため及び論理セル中に含まれる機能の1つを選択するために十分な構成データを含んでいる。

【0046】装置の初期ブートアップ動作は、ブートアップ命令により、第1の構成40a、40bに従った構成を生じる。それ故、例えば、DSP又はマルチブレクサ構成が確立される。

【0047】しかし、装置が、他の構成、例えば、分割機能を実施することが要求される場合、コントローラ及びシーケンサ5は、構成を実施するために必要な各セルの構成キャッシュ36の必要なデータ記憶部を選択し、かつ、書き込み可能とする。外部メモリは、必要なデータを出しし、それに関し、セル及びデータ記憶部が、要求される構成を実施するために選択される。

【0048】また、構成キャッシュから他のプログラムされた構成を取り入れたため並びに他の構成の書き込み及び置換のためのオプションがある。

【0049】それ故、与えられた側にに関して、構成キャッシュから可能な4つの構成は、十分ではない。ソフトウェアプログラムは、他の構成を実施するために用いられる。プログラマーは、装置のための技術的な仕様書を参照することができ、どのように所望の機能／構成が実施されるかを決定する（例えば、多くの可能なアーキテクチャーの変更は、ロード命令の形式で、表にされている）。それ故、ロード命令1～4は、構成キャッシュに記憶される最も典型的な構成を表示するが、プログラマーは、ロード命令が例えば要求される技術的な仕様書から決定する。それ故、プログラマーは、構成キャッシュにロードされた命令を有する、それ以上の構成が、次に続くデータを処理するために要求され、そして、クロック速度でアクセスするためにセルメモリに記憶される場合がある。しかし、この困難性は、ソフトウェアプログラムにおいて再構成命令を含むことにより、その要求よりも前に、「重複」構成キャッシュを「付加的」構成データによって再プログラムすることによって克服される。シーケンサは、クロック速度で再構成を制御することができ、一方、構成からのデータは、ラッ奇セルに安全に保持される。キャッシュの4つの構成（36a～36d）は、異なるセルサイトにおいて、異なる組み合わせで再使用される。これは、命令キャッシュ（38）によって構成され、命令キャッシュは、命令バス42に配置されたグローバル命令から異なるローカルセル構成を選択する。

【0050】

【発明の効果】以上説明したように、本発明の再構成可能な特定応用装置によれば、2個以上、好ましくは数個の構成の間で迅速に切替可能な再構成可能なアーキテクチャを提供することができる。他の効果は、集約的な

アプリケーション数の機能を実行するために特に最適化された装置を提供することができる。他の効果は、アプリケーションの支配の前に、装置を意図するアプリケーションのために構成するのに適した1以上のブートアップされた初期構成を含む装置を提供することができる。更なる効果は、（基本的な）装置の連続する構成間をデータが通過するための装置を有する装置を製造することができる。また、更なる効果は、装置の構成の間、データを安全な状態で保持し、かつ、スイッチング電流を最小にすることを保証することができる。また、更なる効果は、現在使用されていない構成メモリを更新することができる構成キャッシュを提供することができる。本発明の他の効果は、装置が構成データの外部ソースからそれ自身の構成を選択することができる。

【0051】他の効果は、論理の一部を必要な構成に予め接続することによって、プログラム可能な相互接続の数を減少することができる。

【0052】更に他の効果は、特定の基本的な機能を装置の特定の領域に予め実質的にプリワイヤードで配置することによって装置の性能を向上することができる。

【図面の簡単な説明】

【図1】本発明の一実施例の再構成可能な応用装置のレイアウトを示す概念図である。

【図2】異なる構成及びアクセスのシーケンスを有するコアアーキテクチャーの特徴を示すブロック図である。

【図3】異なる構成及びアクセスのシーケンスを有するコアアーキテクチャーの特徴を示すブロック図である。

【図4】特定機能を実施するために最適化された複数のセルを有するコアの特徴を示す概念図である。

【図5】ディジタル信号処理装置（DSP）としての装置の第1の構成を示すブロック図である。

【図6】大規模なマルチブレクサとしての装置の第2の構成を示すブロック図である。

【図7】構成メモリ手段を含むセルのレイアウトを示す概念図である。

【図8】（a）は、最適化された機能を備えたブロックにおけるセルの可能な構成を示す概念図であり、（b）は、複数のセルのプログラム可能なローカル及びグローバル相互接続資源を示す概念図である。

【図9】（a）及び（b）は、どのように複数のグローバル相互接続資源がセル入力及び複数の接続マルチブレクサに接続されるかを示す概念図であり、（c）及び（d）は、セルブロック内における複数のセルブロックのアレイ及び複数のセルの構成を示す概念図である。

【図10】セル出力状態制御を示す概念図である。

【図11】論理セルの変形、即ち、算術論理演算装置（ALU）を示すブロック図である。

【図1 2】論理セルの変形、即ち、アキュムレータ機能(ACC)を示すブロック図である。

【図1 3】論理セルの変形、即ち、デコードセル機能を示すブロック図である。

【図1 4】複数のALU及びACC最適化コアセルと異なる機能の例を示す概念図である。

【図1 5】構成可能なスタティック・ランダム・アクセス・メモリ装置の詳細を示す概念図である。

【図1 6】セル構成メモリの異なる詳細を示す概念図である。

【図1 7】複数のDSPセルに関する複数の命令バス接続を示す概念図である。

【図1 8】装置によって構成される新規な平衡キャリー選択加算器アーキテクチャを示すブロック図である。

【図1 9】1段キャリー選択加算器を実施するために構成されたセルを示すブロック図である。

【図2 0】2つのキャリー選択加算器を実施するために構成されたセルを示すブロック図である。

【図2 1】1段キャリー選択加算器を実施するための代数セル構成を示すブロック図である。

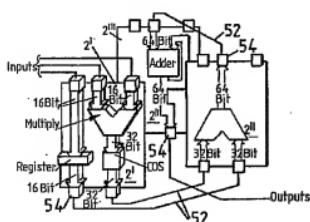
【図2 2】DSPの動作を示すタイミングチャートである。

【符号の説明】

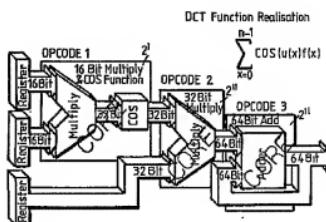
1	領域
2	コアセル
2 a	セル
2 b	レジスタ
2 c	プログラマカウンタ
2 d	汎用カウンタ
2 e	命令デコーダ
2 f	入力/出力
3	区分SRAM
5	シーケンサ及びコントローラ
7	制御ライン
9	クロック
1 1	クロックライン
1 3	プログラマブル入力/出力

1 5	データバス
1 7	信号圧縮デコーダ
1 9	通信リンク
2 1	入力/出力拡張ポート
2 2	論理セル
2 3	アドレスバス
2 5	プログラマブルコアセル入力
2 6	入力マルチブレクサ
2 7	セル出力
10 3 0、3 2、3 4、4 8	2-4デコーダ
3 6	構成キャッシュ
3 6 a~3 6 d	3×2ビットデータ記憶部
3 8	命令キャッシュ
(4 0)	固定構成装置
4 0 a、4 0 b	3×2ビット構成素子
(4 2)	命令選択バス
(4 4)	命令アップデートバス
(4 6)	データバス
5 0	機能制御セル
20 5 2	プロセス間接続
5 4	ラッチセル
5 6	ホールド入力ライン
6 0	16ビット加算器
6 2	キャリー選択加算器
6 4	第1多重ビット加算器ブロック
6 6	第2多重ビット加算器ブロック
7 0	キャリーイン
7 2	キャリーアウト
7 4	第1マルチブレクサ
30 7 6	第2マルチブレクサ
7 8、8 0	キャリー選択加算器
8 2	マルチブレクサ
1 0 0	ブロック
1 0 2	プログラマブル入力/出力
1 0 4	スイッチ
1 0 6	区分SRAM

【図2】



【図3】



[圖 1]

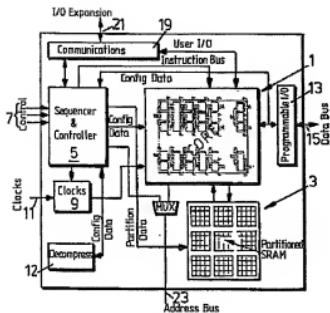
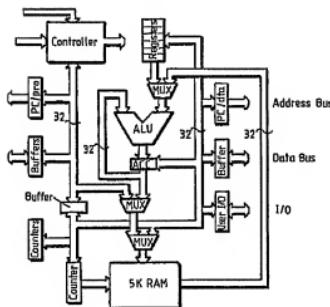
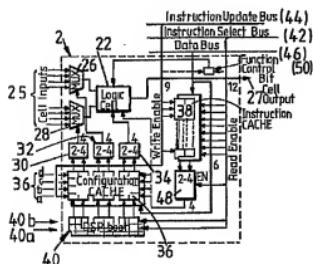


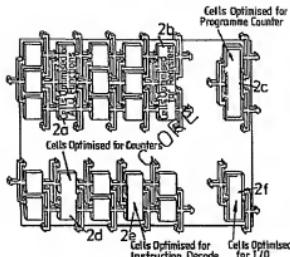
图 51



[图7]

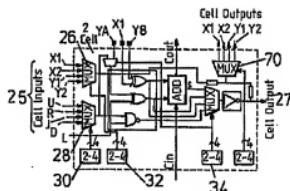


[図4]

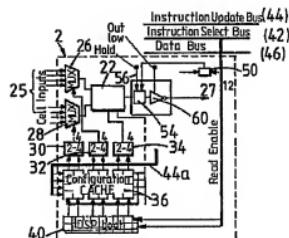


【圖 6】

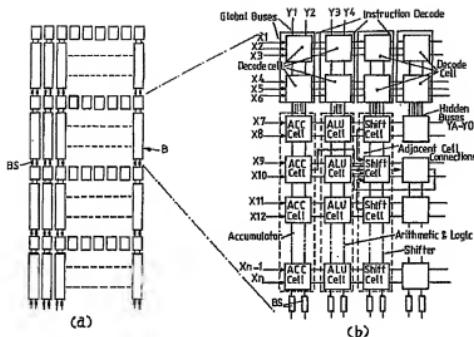
[图 1-1]



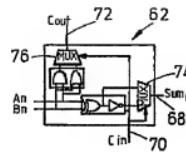
【图10】



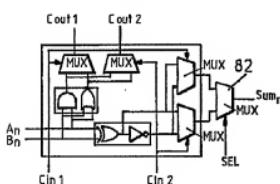
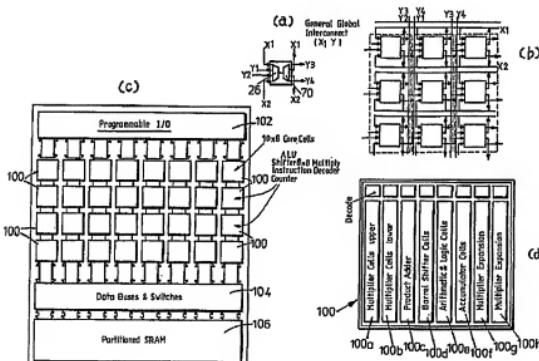
【図8】



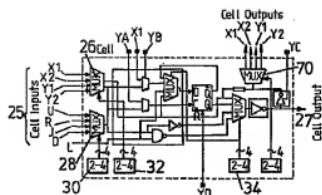
【図9】



【図9】

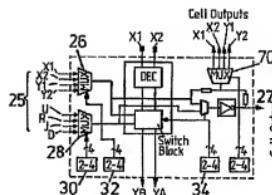


【図12】



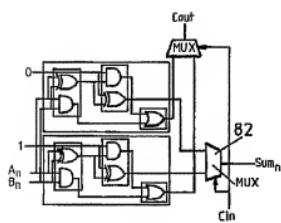
[图14]

【図13】

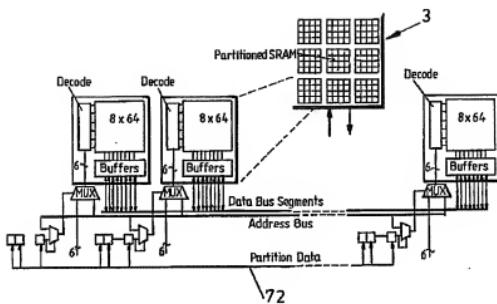


【図18】

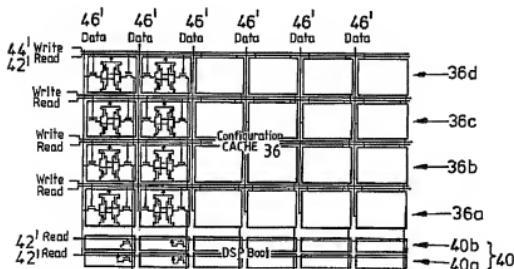
[圖2-1]



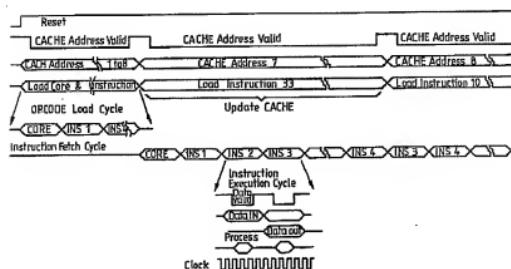
【図15】



【図16】



【図22】



[圖 17]

